طراحی واحد MAC با استفاده از تسهیم کننده‌های ترانزیستور عبور

پویا اسدی*، کیوان ناوی†

چکیده

واحد MAC (Multiplier Accumulator) سریع با استفاده از تسهیم کننده‌های ترانزیستور عبور ارائه شده است. در بخش تولید حاصلضربهای جزئی از الگوریتم مبنای چهار بوت تصحیح یافته بهره برده شده است. در قسمت کاهش حاصلضربهای جزئی کمپرسور ۲-۴ بر اساس تسهیم کننده‌های ترانزیستور عبور معرفی گشته است. به دلیل عملکرد مناسب تسهیم کننده‌ها، تعداد مرحله‌های مسیر بحرانی دروازه‌ها حداقل شده است و در نتیجه مدارهای جدید دارای سرعت بالاتر نسبت به مدارهای CMOS معمول هستند. جمع کننده پیش بینی کننده رقم نقلی با زنجیره نقلی منچستر پیاده سازی شده است. در پیاده سازی جمع کننده از منطق DCVS استفاده گردیده است. جمع کننده ارائه شده مشکل هماهنگی تاخیر مدار قبلی را از بین برده است. بدترین حالت در جمع کننده پیش بینی کننده رقم نقلی از نظر توان مصرفی ۲۵٫۸٪ کاهش داشته است. زمان ضرب ۴٫۴ns در منبع تغذیه ۲٫۵v می‌باشد. در مجموع واحد ضرب کننده ارائه شده ۵۴×۵۴ بیت در مقایسه با طرحهای مشابه از نظر توان مصرفی ۱۴٫۶۲٪ کاهش، از نظر تاخیر ۱۲٫۱٪ کاهش و از نظر تعداد ترانزیستور ۶٫۷۲٪ کاهش داشته است.

کلمات کلیدی

جمع کننده پیش بینی کننده رقم نقلی، ضرب کننده، الگوریتم بوت، تولید حاصلضرب جزئی، کاهش حاصلضرب جزئی، کمپرسور، تسهیم کننده، درخت Wallace، CMOS، DCVS

MAC Unit Design with Pass Transistor Multiplexers

Pouya Asadi, Keivan Navi
Islamic Azad University Science & Research Branch, Tehran, Iran
Electrical & Computer Engineering Department, Shahid Beheshti University, Tehran, Iran

Abstract

This paper presents a new high speed Multiplier Accumulator (MAC) with pass transistor multiplexers. MAC unit uses 4-2 compressors and carry look-ahead adder to achieve high-speed multiplication. The 4-2 compressor uses pass transistor multiplexers. Because of good functionality of pass transistor multiplexers, critical path of gates has reduced in partial product generation of the algorithm. Modified booth reduces number of partial products. Carry look-ahead adder is implemented with Manchester carry chain and DCVS technology. Proposed carry look-ahead adder has 25.8% reduction in transistor count. Multiplication time is 4.4 ns in 2.5-volt power supply. The proposed 54*54 bit multiplier has 14.62% reduction in power consumption, 12.1% reduction in delay and 6.72% reduction in transistor count.

Keywords

carry look-ahead adder, multiplier, booth algorithm, partial product generation, partial product reduction, compressor, multiplexer, Wallace tree, CMOS, DCVS

* دانشگاه آزاد اسلامی واحد علوم و تحقیقات، تهران، ایران، asadi_po_83@sr.iau.ac.ir
† استادیار دانشگاه شهید بهشتی، دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی، navi@sbu.ac.ir

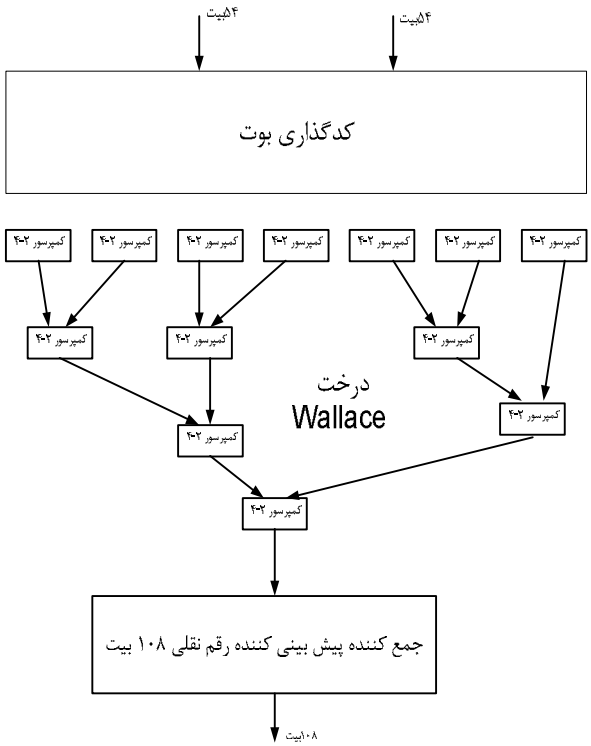
۱- مقدمه

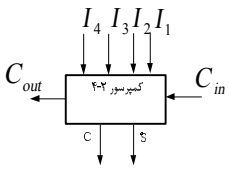
ضرب کننده‌های سریع اهمیت زیادی در پردازنده‌های RISC، DSP و سرعت دهنده‌های گرافیکی پیدا کرده‌اند و این موضوع به دلیل افزایش تقاضا برای کاربردهای چند رسانه‌ای می‌باشد[۱]. ضرب به دلیل آنکه از جمعهای متوالی تشکیل شده است، بسیار وقت گیر است. از طرف دیگر، به عنوان یک عملگر حسابی مناسبتر است که در یک سیکل ساعت انجام گیرد[۲]. ریزپردازنده‌های سریع دارای فرکانسهای کاری بالای ۵۰۰MHz هستند و به همین دلیل، مهمترین مشکل ضرب کننده‌ها جهت پیاده سازی در یک سیکل ساعت، تاخیر زیاد می‌باشد.

ضرب کننده ارائه شده دارای تاخیر کمتر از ۵ns است. به منظور کاهش زمان ضرب کمپرسور جدید ۲-۴ و جمع کننده پیش بینی کننده رقم نقلی ارائه شده است که کمپرسور مذکور از تسهیم کننده‌های ترانزیستور عبور استفاده می‌نماید. به دلیل عملکرد مناسب تسهیم کننده‌های ترانزیستور عبور[۳]، تعداد مرحله‌های مسیر بحرانی دروازه‌ها حداقل شده است و در نتیجه مدارهای جدید دارای سرعت بالاتر نسبت به مدارهای CMOS معمول هستند. کاهش مصرف توان در به دست آوردن کارآیی بالاتر حائز اهمیت است. به این منظور از CMOS در تکنولوژی ۰٫۲۵ μm و منبع تغذیه ۲٫۵ ولت بهره گرفته شده است. معماری ضرب کننده ۵۴×۵۴ بیت در بخش ۲ توصیف شده است. در بخش ۳ طراحی مداری بر پایه الگوریتم بوت مبنای چهار تصحیح یافته ارائه شده است. ساختار تسهیم کننده ترانزیستور عبور در بخش ۴ آمده است، کمپرسور ۲-۴ در بخش ۵ ارائه گشته است و جمع کننده پیش بینی کننده رقم نقلی در بخش ۶ بحث شده است. در بخش ۷ نتایج شبیه سازیها ارائه شده است، و نتیجه گیریها در بخش ۸ خلاصه گشته است.

۲- معماری ضرب کننده

بلاک دیاگرام ضرب کننده ۵۴×۵۴ بیت در شکل (۱) نشان داده شده است. این ضرب کننده از الگوریتم بوت، درخت Wallace و یک جمع کننده پیش بینی کننده رقم نقلی استفاده می‌نماید. تعداد حاصلضربهای جزئی با استفاده از الگوریتم بوت نصف شده است. حاصلضربهای جزئی با استفاده از درخت Wallace بدون انتشار نقلی جمع شده است. نتایج به دست آمده سپس با استفاده از جمع کننده پیش بینی کننده رقم نقلی با انتشار نقلی سریع جمع شده است. کاهش تاخیر درخت Wallace در کاهش زمان ضرب اهمیت دارد، بنابراین از یک کمپرسور ۲-۴ استفاده شده است که دارای ۵ ورودی و ۳ خروجی است. نقلی خروجی (C_{out}) به مرحله بالاتر از نقلیهای ورودی(C_{in}) کمپرسورهای ۲-۴ وصل می‌شود، که در شکل (۱) نشان داده شده است. بدون انتشار نقلی به بیت بالاتر کمپرسور ۲-۴ می‌تواند چهار حاصلضرب جزئی را جمع کند زیرا نقلی خروجی (C_{out}) به نقلی ورودی (C_{in}) ارتباطی ندارد. با استفاده از این کمپرسور ۲-۴ تنها چهار مرحله جمع برای درخت Wallace مورد نیاز است همانطور که در شکل (۱) نشان داده شده است. مشخص شده است که کمپرسور ۲-۴ دارای سرعت بالاتر نسبت به طراحیها بر پایه جمع کننده می‌باشد[۴] و این موضوع به دلیل کاهش مرحله‌های جمع است. کمپرسور ۲-۴ مسیر بحرانی مرحله‌های دروازه را با عملکرد مناسب منطق ترانزیستورهای عبور کاهش می‌دهد. علاوه بر آن یک جمع کننده پیش بینی کننده رقم نقلی سرعت بالای ۱۰۸ بیت را توسعه داده‌ایم که یک جز مهم دیگر از ضرب کننده سریع می‌باشد.



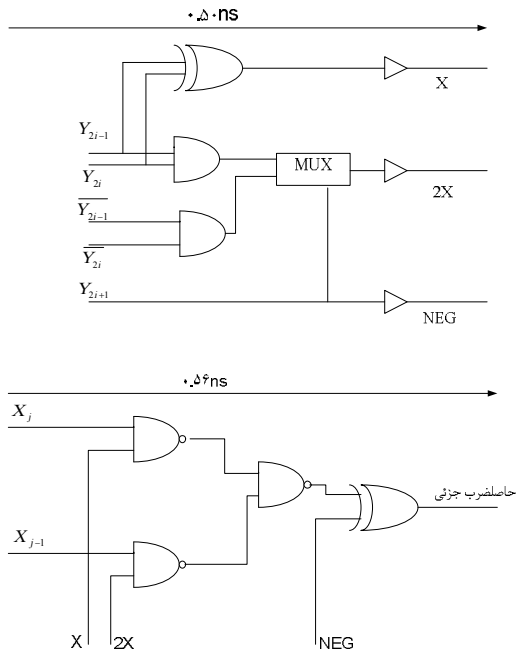


شکل (۱): ضرب کننده ۵۴×۵۴ بیت با استفاده از تسهیم کننده‌های ترانزیستور عبور

۳- الگوریتم بوت

کدگشای بوت در شکل (۲).الف نشان داده شده است. مضروب فیه Y_{2i-1}، Y_{2i} و Y_{2i+1} توسط این مدار کدگشایی می‌شود. کدگذاری داده تعداد حاصلضربهای جزئی را به نصف کاهش می‌دهد. زمان تاخیر انتشار شبیه سازی شده ۰٫۵ns است. تولید کننده حاصلضرب جزئی در شکل (۲).ب نشان داده شده است. مضروب X_j یا X_{j-1} وابسته به اینکه داده کد شده X یا 2X دارای مقدار بالا

است و با داده کدگشا شده معکوس شده است انتخاب می‌گردد. زمان تاخیر انتشار شبیه سازی شده ۰٫۵۶ns است. در اینجا از الگوریتم مبنای ۴ بوت تصحیح یافته استفاده شده است. در کدگشایی موازی، حداقل سه سیگنال مورد نیاز برای نمایش مجموعه عددی $\{\bar{2},\bar{1},0,1,2\}$ می‌باشد. سه کلاس طرحهای سه سیگنال، چهار سیگنال و پنج سیگنال وجود دارد [۶].



شکل (۲): الگوریتم بوت الف-کدگشای بوت ب-تولید کننده حاصلضرب جزئی

برای طرحهای سه سیگنال، بعضی از طراحیهای موجود عبارت از neg/two/one، neg/two/zero و neg/pos/two هستند، که در جدول (۱) شرح داده شده است. سیگنال crt در جدول برای پیاده‌سازی "۱+" در حالتی که یک رقم منفی در X ضرب می‌شود، استفاده می‌گردد. منطق تولید حاصلضرب جزئی از این سه طراحی در شکلهای (۳).الف، (۳).ب و (۳).ج نشان داده شده‌اند. عبارات منطقی برای سیگنالهای کنترل در neg/two/one عبارتند از:

$$neg = y_{2i+1} \quad (۹)$$

$$two = y'_{2i+1} y_{2i} y_{2i-1} + y_{2i+1} y'_{2i} y'_{2i-1} \quad (۱۰)$$

$$one = y_{2i} \oplus y_{2i-1} \quad (۱۱)$$

$$crt = y_{2i+1} \quad (۱۲)$$

در [۷] کدگشایی pos/two/one معادل استفاده شده است. برای"۰-" منطق خروجی را صفر می‌کند و بنابراین تصحیحی لازم نمی‌باشد. جدول (۱) طرحهای کدگشایی سه سیگنال موازی را نشان می‌دهد که بهبودی نسبت به طرحهای معمول می‌باشد.

جدول (۱): طرحهای کدگشایی سه سیگنال موازی

y_{2i+1} y_{2i} y_{2i-1}	OP	Neg/two/one		neg/two/zero		Neg/pos/two	
		neg two one	Crt	neg two zero	Crt	neg pos two	Crt
0 0 0	+0	0 0 0	0	0 0 1	0	0 0 1	0
0 0 1	+X	0 0 1	0	0 0 0	0	0 1 0	0
0 1 0	+X	0 0 1	0	0 0 0	0	0 1 0	0
0 1 1	+2X	0 1 0	0	0 1 0	0	0 1 1	0
1 0 0	-2X	1 1 0	1	1 1 0	1	1 0 1	1
1 0 1	-X	1 0 1	1	1 0 0	1	1 0 0	1
1 1 0	-X	1 0 1	1	1 0 0	1	1 0 0	1
1 1 1	-0	1 0 0	1	0 0 1	0	0 0 1	0

منطق تولید حاصلضرب جزئی در سطح مداری با استفاده از ترانزیستورهای عبور بهینه سازی شده است. سیگنالهای دوتایی پیچیدگی سیم‌بندی و سوییچ خازنی را بطور قابل توجهی افزایش می‌دهند. از طرف دیگر منطق CMOS استاندارد بر اساس اندازه ولتاژ و اندازه ترانزیستور پایدار است. گیتهای انتقال (یک جفت از ترانزیستورهای PMOS و NMOS) برای پیاده سازیهای مالتی پلکسرها، XORها و فلیپ فلاپها مورد استفاده قرار می‌گیرند، منطق CMOS همچنین، دارای مزیتهای عمومیت و سادگی استفاده در سلول استاندارد و تکنیکهای سنتز منطق را دارد و بطور گسترده توسعه داده شده و استفاده می‌شود. نشان داده شده است که منطق CMOS برای کاربردهای ولتاژ کم، توان مصرفی کم و حاصلضرب تاخیر در توان کم، انتخاب درست می‌باشد. به این دلایل منطق سلول استاندارد CMOS را در این مطالعه مورد استفاده قرار داده‌ایم.

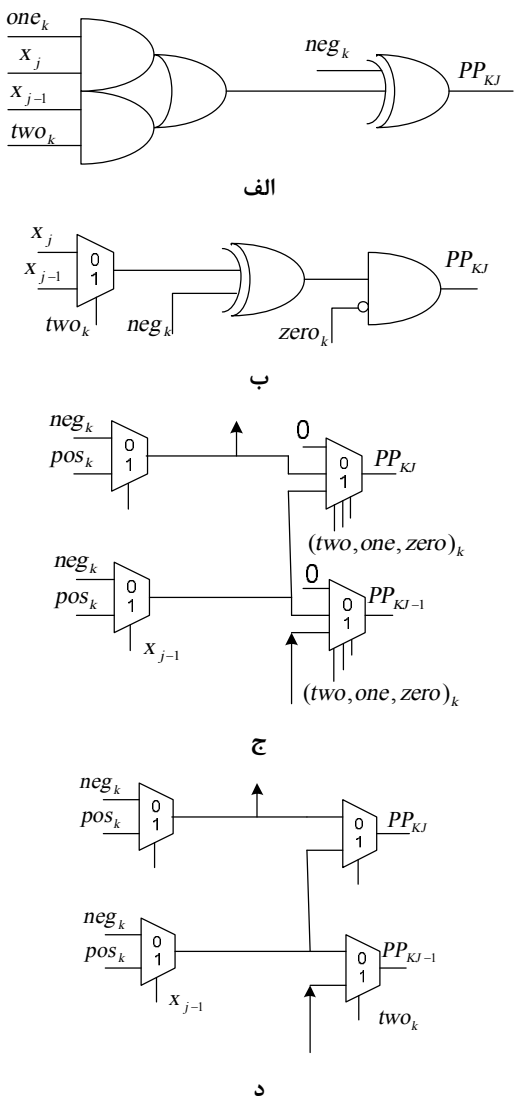
کدگشاهای مختلف تاخیرهای انتشار سیگنال غیر متعادل مختلقی را در تولید حاصلضرب جزئی و منطق کاهش دنبال می‌نمایند که بر مصرف توان تاثیر قابل ملاحظه‌ای دارد. سیگنال "صفر" در کدگشایی neg/two/zero به جلوگیری از محاسبات "۰-" کمک می‌نماید. اما مدار کدگشایی neg/two/zero پیچیده‌تر از کدگشایی neg/two/one می‌باشد[۱۰]. برای کدگشایی موازی عبارات بصورت جدول (۲) نشان داده شده است. معادلات neg/two/one عبارتند از:

$$neg = y_{2i+1}(y_{2i} y_{2i-1})' \quad (۱۳)$$

$$two = y'_{2i+1} y_{2i} y_{2i-1} + y_{2i+1} y'_{2i} y'_{2i-1} \quad (۱۴)$$

$$one = y_{2i} \oplus y_{2i-1} \quad (۱۵)$$

$$crt = neg \quad (۱۶)$$



شکل (۳): تولید کننده‌های حاصلضرب جزئی و طرحهای چهار سیگنال

برای کدگشایی سریال یک راه حل برای neg/one/zero استفاده از neg/two/one با برآورد "± 0" است. ارتباط کدگشایی در جدول (۳) نشان داده شده است، که با عبارتهای

$$two = y'_{2i+1} y_{2i} c_i + y_{2i+1} y'_{2i} c'_i \quad (۱۷)$$

$$one = y_{2i} \oplus c_i \quad (۱۸)$$

$$neg = y_{2i+1}.one \quad (۱۹)$$

$$crt = neg \quad (۲۰)$$

$$c_{i+1} = y_{2i+1}(y_{2i} + c_i) \quad (۲۱)$$

بیان می‌شود. از آنجاییکه مالتی پلکسرهای ۴ به ۱ دارای طراحی سریع و کوچک هستند، طرح با سیگنالهای کنترلی P2، P1، N1 و ZERO را می‌توان برای کدگشایی سریال استفاده نمود. منطق تولید حاصلضرب جزئی یک مالتی پلکسر ۴ به ۱ ساده است. در این طرح نقلیها در منطق بیشتر تاثیر می‌گذارند و انتقالهای مناسبتر از neg/one/zero و neg/two/one دارند. شش روش کدگشایی را شبیه‌سازی کرده‌ایم. پیاده‌سازیها در VHDL در سطح دروازه‌های منطقی انجام شده است.

جدول(۲): کدگشایی neg/two/zero با صفر منحصر به فرد

y_{2i+1}	y_{2i}	y_{2i-1}	OP	neg	two	one	Crt
0	0	0	+0	0	0	0	0
0	0	1	+X	0	0	1	0
0	1	0	+X	0	0	1	0
0	1	1	+2X	0	1	0	0
1	0	0	-2X	1	1	0	1
1	0	1	-X	1	0	1	1
1	1	0	-X	1	0	1	1
1	1	1	-0	0	0	0	0

جدول (۳): کدگشایی neg/two/one با صفر منحصر به فرد

y_{2i+1}	y_{2i}	y_{2i-1}	OP	neg	two	one	Crt	c_{i+1}
0	0	0	+0	0	0	0	0	0
0	0	1	+X	0	0	1	0	0
0	1	0	+X	0	0	1	0	0
0	1	1	+2X	0	1	0	0	0
1	0	0	-2X	0	1	0	1	0
1	0	1	-X	1	0	1	1	1
1	1	0	-X	1	0	1	1	1
1	1	1	-0	0	0	0	0	1

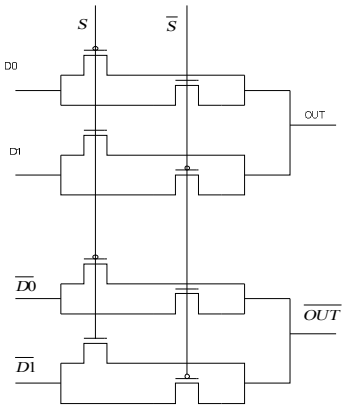
جدول (۴): مقایسه روش کدگشایی[۱۱]، [۱۲]، [۱۳]، [۱۴]، [۱۵] و [۱۶]

طرحها	توان مصرفی (mW)	تاخیر (ns)
p-n21	۲۶،۷۱	۱۲،۳۲
p-n20	۲۶،۶۲	۱۲،۸۴
p-n20	۲۵،۶۳	۱۲،۸۵
p-np2	۲۴،۴۸	۱۲،۳۳
p-np210	۲۳،۸۳	۱۲،۳۷
p-n21-u0	۲۵،۲۸	۱۲،۳۶

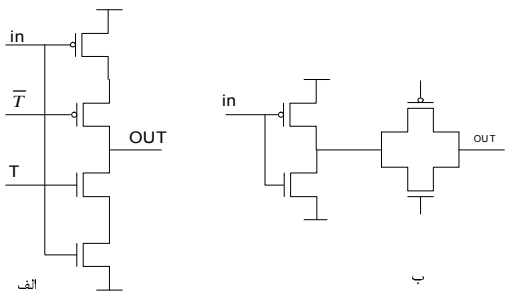
نتایج آزمایشها نشان می‌دهند که کدگشایی neg/two/one ۱۱٪ سطح تراشه کمتر از طرحهای دیگر دارد. این موضوع به دلیل اشغال سطح کمتر AOI22 نسبت به MUX21 و XOR2 می‌باشد. علاوه بر مزیت مسیرهای انتشار سیگنال نامتعادل کمتر کدگشایی neg/two/one باعث می‌شود توان ۱۵٪ کاهش یابد. بر پایه شبیه سازیها به این نتیجه رسیدیم که کدگشایی neg/two/one با صفر منحصر به فرد انتخاب خوبی برای ضرب کننده‌های آرایه‌ای خطی با توان پایین است و منجر به عملکرد مناسبتر ضرب کننده می‌گردد.

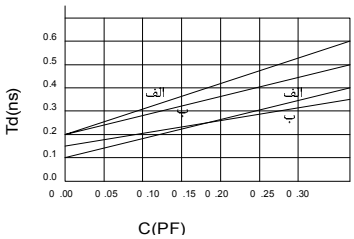
۴- تسهیم کننده ترانزیستور عبور

تسهیم کننده ترانزیستور عبور استفاده شده در کمپرسور ۲-۴ در شکل (۴) نشان داده شده است. زمانی که سیگنال کنترل S در حالت پایین است، داده D0 انتخاب می‌شود و زمانیکه سیگنال S در حالت بالا است، داده D1 انتخاب می‌گردد. خروجی به عنوان سیگنال کنترل سیگنال ورودی برای تسهیم کننده مرحله بعد استفاده می‌شود. بنابراین، تسهیم کننده دارای خروجی مثبت و منفی می‌باشد. تسهیم کننده می‌تواند تاخیر انتشار را با حذف معکوس کننده کاهش دهد. معکوس کننده سه حالته CMOS و معکوس کننده سه حالته ترانزیستور عبور در شکل (۵).الف و (۵).ب نشان داده شده است که در تسهیم کننده‌های ترانزیستور عبور و CMOS نشان داده شده است. تعداد ترانزیستورها در هر دو مدار یکسان است و هر دو بار خازنی یکسان دارند.



شکل (۴): مدار تسهیم کننده ترانزیستور عبور

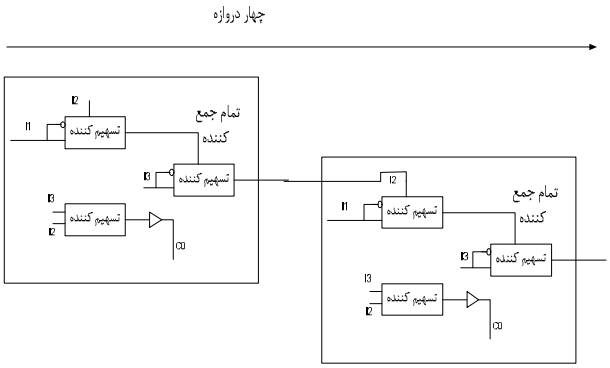


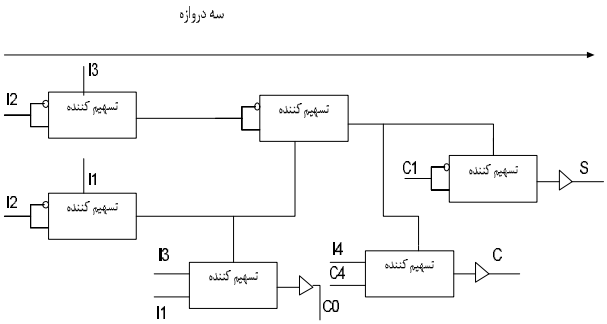


شکل (۵): مقایسه مدارهای ترانزیستور عبور و CMOS
الف- معکوس کننده سه حالته CMOS ب-معکوس کننده سه حالته ترانزیستور عبور ج-مقایسه زمان تاخیر

مقایسه شبیه سازی شده در شکل (۵).ج نشان داده شده است که ارتباط بین زمان تاخیر از ورودی به خروجی را در بار خازنی خروجی نشان می‌دهد. امپدانس منبع راننده پایین با استفاده از ترانزیستور عبور به دست می‌آید که زمان تاخیر از ترانزیستور عبور را کمتر از دروازه CMOS می‌نماید.

چند مدار منطق ترانزیستور عبور به منظور بهبود کارآیی مدارهای CMOS ارائه شده است. مدارهای منطق ترانزیستور عبور NMOS یکی از موارد جالب است. این مدار در شکل (۶) نشان داده شده است که به دلیل سرعت بالا وابسته به بار خازنی ورودی کم و عملکرد منطق مناسب است. در شکل (۶).الف جمع کننده طراحی شده معمول با استفاده از تسهیم کننده‌های ترانزیستور عبور نشان داده شده است و در شکل (۶).ب طراحی ارائه شده در این مقاله که جهت تکمیل به سه دروازه نیاز دارد نشان داده شده است. در طراحیها با منبع تغذیه کم، مهم است که مسائل حدود نویز و کاهش سرعت بررسی گردد. این مشکلات به دلیل اختلافات بین سطوح سیگنال ورودی و ولتاژ ترشهلد منطق دروازه‌های CMOS است، که با تغییرات فرآیند بالا و پایین می‌رود. برای جلوگیری از این مشکلات تسهیم کننده در این طراحی شامل ترانزیستورهای عبور PMOS و NMOS است. زمان تاخیر تسهیم کننده ترانزیستور عبور کمتر از دروازه CMOS است، زیرا بر اساس طراحی با ترانزیستور عبور هر دو شاخه NMOS و PMOS روشن هستند. در زمانی که ترانزیستورهای NMOS به خوبی عمل نمی‌نمایند ترانزیستورهای PMOS این وظیفه را بر عهده می‌گیرند.



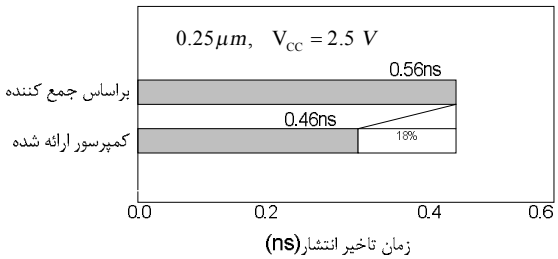


شکل (۶): کمپرسور ۲-۴ با استفاده از تسهیم کننده‌ها
الف-طرح جمع کننده ب- طرح ارائه شده

۵- مدار کمپرسور ۲-۴

مدارهای کمپرسور ۲-۴ با استفاده از تسهیم‌کننده‌های ترانزیستور عبور در شکل (۶) نشان داده شده است. خطوط سیگنال در شکل نشان دهنده سیگنالهای منفی و مثبت می‌باشد. ورودیهای تسهیم کننده دو سیگنال مختلف دارند و دارای یک سیگنال و یک معکوس کننده منطقی هستند. همه خروجیها (S، C و C_{out}) دارای بافرهایی برای اجرای قابلیت خواندن هستند. مدارهای کمپرسور ۲-۴ چهار حاصلضرب جزئی را جمع می‌نمایند (I1 تا I4) و یک سیگنال جمع (S) و دو سیگنال نقلی(C و C_{out}) تولید می‌کنند.

از آنجاییکه مدار تسهیم کننده ترانزیستور عبور در شکل (۴) دارای عملکرد منطقی مناسب است، مدار جمع کننده از سه تسهیم کننده ترانزیستور عبور به دست آمده است. کمپرسور ۲-۴ از ۲ جمع کننده ساخته شده است. بنابراین، ۴ مرحله دروازه مسیر بحرانی وجود دارد که در شکل (۶).الف نشان داده شده است. این مدار از مدارهای CMOS معمول به دلیل استفاده از تسهیم کننده‌های ترانزیستور عبور سریعتر است. برای افزایش سرعت بیشتر کمپرسور ۲-۴ جدید را توسعه داده‌ایم. از آنجاییکه تعداد تسهیم کننده‌ها یکسان است، تعداد مرحله‌های دروازه مسیر بحرانی در این مدار به ۳ مرحله با اعمال موازی سازی کاهش پیدا کرده است، همانطور که در شکل (۶).ب نشان داده شده است. در این ترکیب جدید، نقلی خروجی (C_{out}) به نقلی ورودی (C_{in}) وابسته نیست. مقایسه‌های تاخیر شبیه سازی شده برای مدار کمپرسور ۲-۴ در شکل (۷) نشان داده شده است. مدار ارائه شده زمان تاخیر انتشار مدار را با ۱۸٪ نسبت به جمع کننده پایه کاهش می‌دهد.



شکل (۷): مقایسه شبیه سازی مدارهای کمپرسور ۲-۴

۶- جمع کننده نهایی

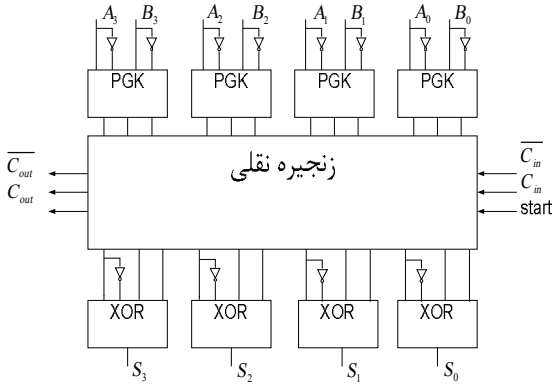
از جمع کننده نهایی جهت جمع دو حاصلضرب جزئی تولید شده استفاده می‌شود. از طرح یک جمع کننده پیش بینی کننده رقم نقلی چهار بیت استفاده شده است. دیاگرام مدار ارائه شده برای جمع کننده پیش بینی کننده رقم نقلی برای حل مشکل بالا در شکل (۸) نشان داده شده است. دیاگرام مذکور از چهار بلاک برای انتشار، تولید و مرگ نقلی برای هر جفت ورودی، زنجیره نقلی منچستر ۴ بیت و چهار گیت XOR ایستا برای تولید مقدار sum تشکیل شده است.

بلاک مدار برای انتشار ($P = A \oplus B$)، تولید ($G = A.B$) و مرگ ($K = \overline{A}.\overline{B}$) نقلی برای هر جفت از بیتهای ورودی در شکل (۹).الف نشان داده شده است. برای این بلاک، پیاده سازیهای قبلی [۱۷] از یک دروازه XOR و یک دروازه NAND تشکیل شده است. همانطور که در شکل (۹).الف نشان داده شده است چنین بلاکی می‌تواند با کارآیی بالا با استفاده از تکنولوژی DCVS تولید شود. مدار ارائه شده همان تابع را با تعداد ترانزیستور کمتر پیاده سازی می‌نماید، که منجر به راندن ورودی خازنی کمتر، مصرف توان کمتر و کاهش سطح می‌گردد.

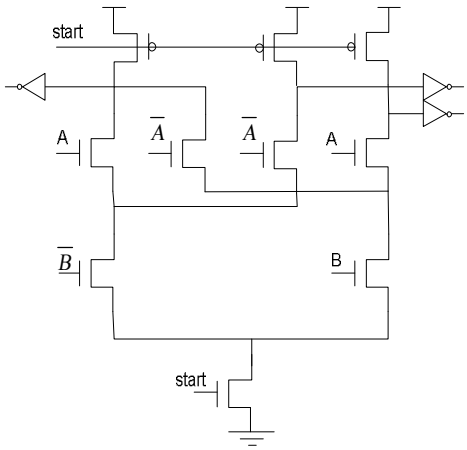
پیاده‌سازی قبلی از زنجیره نقلی با استفاده از مالتی پلکسرهای دو ورودی [۱۸] را به زنجیره نقلی ۴ بیت تغییر داده‌ایم. هرچند که تعداد ترانزیستور در این بلاک چندان با پیاده سازی قبلی تفاوتی ندارد، با به دست آوردن خروجیهای نقلی مکمل از این بلاک مکمل از خروجیهای نقلی MSB مکمل را می‌توان به آسانی به دست آورد. مکمل از خروجیهای نقلی MSB که جهت شروع محاسبه بلاک مجاور لازم می‌باشد با گیت NAND دو ورودی ایستا به دست آمده است. چهار ورودی به دروازه NOR پنج ورودی اعمال شده است که هر ورودی دارای تاخیر انتشار متفاوت جهت هماهنگی با زمان انتشار نقلی MSB است. در این پیاده سازی، گیت NOR، ۵ ورودی بایستی با دقت طراحی شود بطوریکه تاخیر انتشار با مدار زنجیره نقلی هماهنگ شود. اگر مکمل زودتر از خروجی نقلی MSB تولید شود، بلاک همسایه کار را با ورودی نقلی اشتباه شروع خواهد کرد.

در حالیکه زنجیره نقلی در یک حالت شارژ اولیه است خروجیهای مکمل همه صفر هستند که منجر به خروجی سطح پایین از گیت NAND دو ورودی می‌شود، در مقابل خروجی گیت NAND زمانی بالا است که یکی از خروجیهای نقلی MSB مکمل به حالت بالا می‌رود که به معنی تکمیل ارزیابی می‌باشد. بنابراین، زمانیکه خروجی نقلی MSB آماده شده است، سیگنال از گیت NAND دو ورودی تبدیل حالت صفر به یک خواهد داشت که به بلاک بعدی وارد می‌شود. بعلاوه، خروجیهای نقلی مکمل یک معکوس کننده را در یک گیت XOR ایستا برای تولید sum حذف می‌نمایند. در نتیجه ۲۱٫۶٪ کاهش ترانزیستور در جمع کننده پیش بینی کننده رقم نقلی به دست آمده است. مقایسه تعداد ترانزیستور در جدول (۵) نشان داده شده است. تعداد ترانزیستورهای NMOS بعلاوه تعداد ترانزیستورهای PMOS نشان داده شده است. در جدول (۵) عدد داخل پرانتز تعداد ترانزیستور استفاده شده در معکوس کننده‌ها می‌باشد.

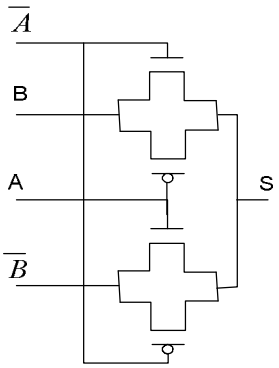
جمع کننده را با HSPICE در تکنولوژی ۰٫۲۵ μm شبیه سازی کرده‌ایم. منبع تغذیه ۳ ولت استفاده شده است. بدترین تاخیر مدار ارائه شده با مقایسه شده است و توان مصرفی ۲۵٫۸٪ درصد کاهش در توان مصرفی میانگین در ۱۰۰MHZ داشته است. کاهش مصرف توان به دلیل کاهش تعداد ترانزیستورها بوده است. نتایج شبیه‌سازی در بدترین حالت در جدول (۶) نشان داده شده است.



شکل (۸): بلاک دیاگرام جمع پیش بینی کننده رقم نقلی ارائه شده



الف- مدار برای تولید، انتشار و مرگ نقلی



ب- مدار برای تولیدsum

شکل (۹): مدار برای نقلی و sum

۷- شبیه سازی

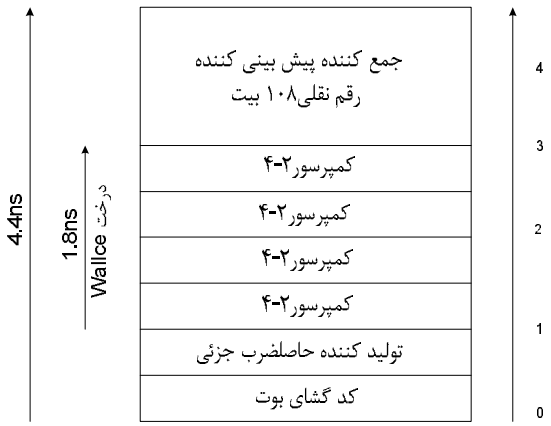
مراحل زمانی شبیه سازی ضرب کننده ۵۴×۵۴ بیت در شکل (۱۰) نشان داده شده است. زمان تاخیر ۴٫۴ns با مصرف توان ۲٫۵v و در دمای اتاق انجام می‌شود. شبیه سازی مشخصات جالبی را به دلیل استفاده از ولتاژ پایین و طراحی بر اساس ترانزیستور عبور نشان می‌دهد. کمپرسور ۲-۴ جدید زمان تاخیر درخت Wallace را به ۱٫۸ns کاهش می‌دهد. خصوصیات ضرب کننده ۵۴×۵۴ بیت در جدول (۷) خلاصه شده است. شکل موجهای اندازه گیری شده از درخت Wallace در شکل (۱۰) نشان داده شده است. زمان ضرب بدون مدارهای جدید تقریبا برابر ۵٫۱ns اندازه گیری شده است و سطح ضرب کننده بصورت قابل توجهی با مدارهای جدید افزایش نمی‌یابد. بنابراین این ضرب کننده بهبود در ضرب به مقدار ۱۴٪ را فراهم می‌آورد و این کار را با استفاده از مدارهای جدید و تسهیم کننده‌های ترانزیستور عبور انجام می‌دهد.

جدول (۵): مقایسه تعداد ترانزیستور در هر بلاک از جمع کننده پیش بینی کننده رقم نقلی (تعداد ترانزیستورهای NMOS+PMOS)

بلاک تابع	[۱۰]	جمع کننده جدید	کاهش(٪)
مدار برای تولیدP/G/K	۱۲(۲۴) + ۴۰(۲۴)	۱۲(۲۴) + ۲۸(۲۴)	۱۵٫۸
زنجیره نقلی	۴(۸) + ۲۱(۸)	۸(۴) + ۱۹(۴)	۶٫۱
sum	۲(۴) + ۲(۴)	۲(۲) + ۲(۲)	۲۵٫۰
تولید کننده مکمل نقلی خروجی	۱ + ۱۶	۲ + ۲	۷۶٫۵
ترانزیستورهای متصل به ورودیهای اصلی	۳۲	۲۴	۲۵٫۰
جمع	۱۳۴	۱۰۵	۲۱٫۶

جدول (۶): بدترین حالت تاخیر و مصرف توان از یک جمع کننده پیش بینی کننده رقم نقلی

	[۱۰]	مقاله ارائه شده	کاهش(٪)
بدترین حالت تاخیر	۱٫۳۶ns	۱٫۲۸ns	۵٫۹ns
مصرف توان بدترین حالت انتشار نقلی	۲۵٫۶pJ	۲۰٫۴pJ	۲۰٫۳
مصرف توان متوسط با ورودیهای تصادفی در ۱۰۰MHz	۰٫۶۲mW	۰٫۴۶mW	۲۵٫۸



شکل (۱۰): تاخیر ضرب کننده ۵۴×۵۴ بیت

جدول (۷): مقایسه بین ضرب کننده‌های ۵۴×۵۴ بیت

	مقاله ارائه شده	[۱۷]	[۱۸]	[۱۹]
تکنولوژی	۰٫۲۵ μm	۰٫۲۵ μm	۰٫۲۵ μm	۰٫۲۵ μm
زمان ضرب(ns)	۴٫۴	۸٫۸	۵	۲٫۷
توان(mW/MHZ)	۱٫۱	۹٫۴	۱٫۲۷	۳٫۱۵
تعداد ترانزیستور	۵۷۲۰۰	۷۸۸۰۰	۶۰۷۹۷	۱۳۵۳۱۸

۸- نتیجه

واحد MAC سریع ارائه شده است. کمپرسور ۲-۴ جدید با استفاده از تسهیم کننده‌های ترانزیستور عبور و جمع کننده پیش بینی کننده رقم نقلی توسعه داده شده است تا تاخیر ضرب را کاهش دهد. جمع کننده ارائه شده مشکل هماهنگی تاخیر مدار قبلی را از بین برده است. بدترین حالت در جمع کننده پیش بینی کننده رقم نقلی از نظر توان مصرفی ۲۵٫۸٪ کاهش داشته است. زمان ضرب ۴٫۴ns در منبع تغذیه ۲٫۵v می‌باشد. تاخیر در ضرب کننده ۵۴×۵۴ بیت به مقدار ۱۲٫۱٪ کاهش پیدا کرده و این موضوع به دلیل کاهش مرحله‌های مسیر بحرانی در نتیجه استفاده از تسهیم کننده‌های ترانزیستور عبور می‌باشد. واحد ضرب کننده ارائه شده ۵۴×۵۴ بیت در مقایسه با طرحهای مشابه از نظر توان مصرفی ۱۴٫۶۲٪ کاهش و از نظر تعداد ترانزیستور ۶٫۷۲٪ کاهش داشته است.

مراجع

[۱] کیوان ناوی، امید کاوه‌ای، پویا اسدی، "کمپرسور ۲-۴ سریع مد مشترک"، یازدهمین کنفرانس بین المللی انجمن کامپیوتر ایران، ص ۱۰۶-۱۰۲، ۱۳۸۴

[۲] کیوان ناوی، آزاده منصوری، "طراحی مبنای ۳ مدار تمام جمع کننده مد جریان دو جهته"، یازدهمین کنفرانس بین المللی انجمن کامپیوتر ایران ، ص ۶۶-۷۳، ۱۳۸۴

[۳] مهدی حسین زاده، کیوان ناوی، سمیه تیمارچی، "طراحی جدید کمپرسور ۳-۴"، یازدهمین کنفرانس بین المللی انجمن کامپیوتر ایران، ص ۹۵۶-۹۵۹، ۱۳۸۴.

[۴] سمیه تیمارچی، کیوان ناوی، مهدی حسین زاده، "طراحی جدید تفریق کننده RNS برای پیمانه 2^n+1"، یازدهمین کنفرانس بین المللی انجمن کامپیوتر ایران، ص ۹۵۶-۹۵۹، ۱۳۸۴.

[5] J. Gu and C. Chang, "Ultra Low Voltage, Low Power 4-2 Compressor for High Speed Multiplication", *IEEE, 2003.*

[6] B. Parhami, Computer arithmetic: algorithms and hardware designs, *Oxford*, 2002.

[7] Prasad K. and Parhi K., "Low-Power 4-2 and 5-2 Compressors", *IEEE, 2001.*

[8] D. Radhakrishnan and A. P. Preethy, "Low Power CMOS Pass Logic 4-2 Compressor for High-speed Multiplication", *IEEE, 2000.*

[9] V. Bartlett and E. Grass, "A low-power concurrent multiplier accumulator using conditional evaluation", *ICECS 1999*, pages 629– 633, 1999.

[10] A. Efthymiou, W. Suntiamorntut, J. Garside, and L. rackenbury, "An asynchronous, iterative implementation of the original booth multiplication algorithm", *ASYNC 2004*, pages 207–215, 2004.

[11] P. F. Stelling, C. U. Martel, and R. Ravi, "Optimal Circuits for Parallel Multipliers" *IEEE Transactions on Computers*, vol. 47, no. 3, pp. 273–285, Mar. 2005.

[12] Z. J. Mou and F. Jutand, "Overturned-Stairs Tree Multiplier Design" *IEEE Transactions on Computers*, vol. 41, no. 8, pp. 940–948, Aug. 2003.

[13] M. Olivieri, "Design of Synchronous Variable-Latency Pipelined Multipliers", *IEEE Transaction on VLSI Systems*, vol. 9, No. 2 April 2004, pp. 365-376.

[14] A. J. Acosta, R. Jiménez, A. Barriga, M. J. Bellido, M. Valencia, "Design and characterisation of a CMOS VLSI self-timed multiplier architecture based on a bit-level pipelined-array structure", *IEEE Proceedings, Circuits, Devices and Systems*, 145(4):247-253, August 2004.

[15] Jan Butas, Chiu-Sing Choy, Juraj Povazanec, and Cheong-Fat Chan., "Asynchronous cross-pipelined multiplier", *IEEE Journal of Solid-State Circuits*, 36(8):1272-1275, 2004.

[16] C. Nagendra, M. J. Irwin, "Area-Power-Time Tradeoffs in Parallel Adders" *IEEE Transactions on Circuits and Systems–II: Analog and Digital Signal Processing*, vol. 43, no. 10, pp. 689–702, Oct. 2004.

[17] A. F. Tenca and G. Todorov, "High Radix Design of a Scalable Modular Multiplier" in *Cryptographic Hardware and Embedded Systems-CHES 2001*

[18] P. J. Song and G. DeMicheli "Circuit and Architecture Tradeoffs for High-Speed Multiplication" *IEEE Journal of Solid-State*, vol. 26, no. 9, pp. 1184–1198, Sept. 2004.

[19] Z. Wang and W. C. Miller, "A New Design Technique for Coloumn Compression Multipliers" *IEEE Transactions on Computers*, vol. 44, no. 8, pp. 962–970, Aug. 2005.