طراحی یک مدار دومینوی مقاوم در مقابل نشتی در فن آوری های زیر میکرون

علی پاکیزه مقدم* و محمد علی پور جواد**
دانشکده مهندسی برق و کامپیوتر ، دانشگاه آزاد اسلامی واحد سبزوار

چکیده:

قدرت مدارهای دومینوی با Fan-in بالا، به خاطر افزایش جریان نشتی با مقیاس بندی فن آوری خراب می شود. در این مقاله، یک مدار دومینوی جدید برای کاربردهای با تعداد Fan-in و سرعت بالا در فناوری های UDSM[1] ارائه می شود. مدار پیشنهادی، یک ترانزیستور پایه به کار می گیرد که در ابتدای فاز ارزیابی خاموش است و باعث کاهش نشتی می شود. و در ادامه، برای تکمیل فاز ارزیابی، روشن می شود. برای اجتناب از جریمه تاخیر به واسطه استفاده از ترانزیستور خاموش در زمان های اولیه فاز ارزیابی، یک مسیر اضافی برای ارزیابی ایجاد می شود که به وسیله خروجی کنترل می شود. با توجه به شبیه سازی ها در فرایند پیش بینی شده 70 نانومتر، مدار پیشنهادی، امنیت نویز را برای گیت های OR پهن، تا ۲۶ برابر افزایش می دهد و همچنین باعث بهبود در اجرای ۲۰ درصدی در مقایسه با مدارهای دومینوی معمول می شود. مدار پیشنهادی، مبارزه بین ترانزیستور نگه دارنده و ترانزیستورهای ارزیابی را در ابتدای فاز ارزیابی، کاهش می دهد و این امر باعث کاهش توان برای تکنیک پیشنهادی می شود.

واژگان کلیدی: دومینو ، جریان نشتی ، امنیت نویز

---

*مربی - ** مربی

[1] - Ultra Deep Sub-Micron

۱-مقدمه:

کاهش ولتاژ آستانه به همراه مقیاس بندی ولتاژ تغذیه، سرعت را زیاد می کند، در حالی که مصرف توان دینامیکی را در هر نسل جدید تکنولوژی مدارهای مجتمع، در سطح قابل قبولی قرار می دهد، مقیاس بندی ولتاژ آستانه در هر صورت، امنیت نویز گیت های منطقی را خراب می کند[۱]. اساساً این امر به خاطر ولتاژ آستانه پایین است که به صورت نمایی، جریان نشتی در فن آوری های مقیاس بندی شده افزایش می دهد.

برای کاهش مصرف توان، مقیاس بندی ولتاژ تغذیه انجام می گیرد. ولی نیاز است که ولتاژ آستانه نیز پایین آورده شود، چون مدار نیاز به جریان ON بالایی دارد. ولتاژ آستانه پایین تر به معنی نقطه پایین رفتگی کلیدزنی کوچک تر گیت در مدارهای دومینو است. نقاط فرورفتگی کوچک تر مدارهای دومینو را به نویز خیلی حساس تر می کند. علاوه بر این، نشتی بیش از حد می تواند گره پیش شارژ دینامیکی مدار دومینو را دچار نقص کند. البته منابع دیگر نویز مانند نویز تغذیه و نویز CROSS-TALK باعث خراب شدن قدرت منطق دومینو می شوند [۱۳].

یک الگوی معمول برای بهبود قدرت مدارهای دومینو ، بالاتر بردن اندازه نگه دارنده است. با این وجود، چنان چه اندازه نگهدارنده زیاد شود، مبارزه بین ترانزیستور نگهدارنده و شبکه ارزیابی NMOS در فاز ارزیابی افزایش می یابد. این امر باعث افزایش تاخیر مدار و افزایش مصرف توان مدار می شود. بنابراین، بالاتر بردن اندازه نگهدارنده، باعث ایجاد مصالحه بین توان وتاخیر مدار می شود. چنین مصالحه ای قابل قبول نیست، چون ممکن است مدار را خیلی کند و یا خیلی پرمصرف کند. تکنیک هایی برای بهبود این مساله پیشنهاد شدند که از جمله موثرترین آنها می توان به مدار دومینوی HS [۱۱][1] و همچنین CKL [۷][2] اشاره کرد.

در این مقاله، یک مدار دومینوی جدید برای کاربردهای با Fan-in بالا ارائه می شود. . مدار پیشنهادی، یک ترانزیستور پایه به کار می گیرد که در ابتدای فاز ارزیابی خاموش است و باعث کاهش نشتی می شود. و در ادامه، برای تکمیل فاز ارزیابی، روشن می شود. برای اجتناب از جریمه تاخیر به واسطه استفاده از ترانزیستور خاموش در زمان های اولیه فاز ارزیابی، یک مسیر اضافی برای ارزیابی ایجاد می شود که به وسیله خروجی کنترل می شود . . با توجه به شبیه سازی ها در فرایند پیش بینی شده 70 نانومتر، مدار پیشنهادی، امنیت نویز را برای گیت های OR پهن، تا ۲۶ برابر افزایش می دهد و همچنین باعث بهبود در اجرای ۲۰ درصدی در مقایسه با مدارهای دومینوی معمول می شود. مدار پیشنهادی، مبارزه بین ترانزیستور نگه دارنده و ترانزیستورهای ارزیابی را در ابتدای فاز ارزیابی، کاهش می دهد و این امر باعث کاهش توان برای تکنیک پیشنهادی می شود.

بقیه مقاله به ترتیب زیر است. در بخش ۲، مدارهای دومینوی مقاوم در مقابل نشتی موجود ارائه می شوند. در بخش ۳، مدار پیشنهادیمان را توصیف می کنیم. نتایج شبیه سازی در بخش ۴، ارائه می شوند و بخش ۵، نتیجه مقاله را بیان می کند.

واژگان کلیدی: ولتاژ آستانه ، توان دینامیکی ، ترانزیستور پایه

۲. مدارهای دومینوی مقاوم در مقابل نشتی موجود:

گره دینامیکی شناور در ابتدای فاز ارزیابی در مدارهای دومینو، این مدارها را بیشتر و بیشتر به نویز حساس کرده

1- High Speed
2 - Conditional Keeper Logic

است [۱]. گره دینامیکی به منابع نویزی مانند CROSS-TALK، جریان نشتی و تسهیم بار خیلی حساس است. چون این گره ، دینامیکی است. بعد از اینکه اطلاعات از دست رفت، نمی توان آنها را بازیافت کرد. گره دینامیکی در فاز ارزیابی، مهم ترین گره در مدار دومینو است که بایستی رفتار پایداری داشته باشد.

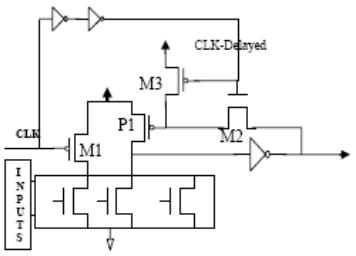
سبک های دومینوی معمول شامل مدار دومینوی بدون پایه (FLDL)[۳]، مدار دومینوی پایه دار (FDL)[۴]، HSDL [۱۰]، و CKL [۷] هستند. منطق دومینو در ابتدا برای کاربردهای سرعت بالا ارائه شد، ولی حساسیت گره دینامیکی به نویز در فن آوری های مقیاس بندی شده یک چالش مهم را به وجود آورده است. این آسیب پذیری به نویز به خصوص در فن آوری های زیر میکرون عمیق، افزایش می یابد. به طور معمول، ترانزیستور نگه دارنده برای مقاوم نگه داشتن گره دینامیکی، به نویز نشتی اضافه می شود. در هر صورت، اضافه کردن ترانزیستور نگه دارنده PMOS اجرا را خراب می کند و توان مصرفی مدار را افزایش می دهد. یکی از راههای افزایش قدرت مدار، بالابردن اندازه نگه دارنده است. اما این امر باعث افزایش مصرف توان و تاخیر می شود. به عبارت دیگر، بالا بردن اندازه نگهدارنده، مبارزه جریان بین نگهدارنده و شبکه ارزیابی را افزایش می دهد. بنابراین، برای کاربردهای سرغت بالا، استفاده از نگهدارنده کوچک، دلخواه است [۸].

مدار FDL نسبت به مدار FLDL به نویز مقاوم تر است. مدار FDL مانند FLDL کار می کند؛ اما امنیت نویز آن به خاطر اثر پشته ای مربوط به ترانزیستور پایه در پایین شبکه ارزیابی بالاتر است. در حقیقت، مدار FDL برای کاربردهای مقاوم در برابر نویز ترجیح داده می شود اما سرعتش از مدار FLDL پایین تر است.

[1] – Footless Domino Logic
[2] –Footed Dominio Logic

الف. منطق دومینوی سرعت بالا (HS):

یکی از مدارهای منطقی مقاوم در مقابل نشتی موجود، مدار HS است [۱۱]. دیاگرام مدار دومینوی HS در شکل ۱ نشان داده شده

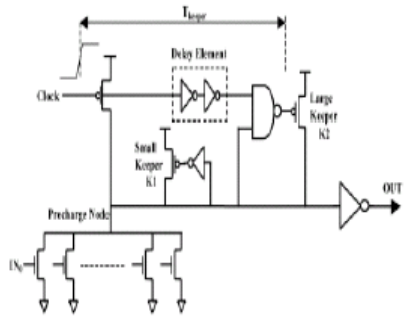


شکل ۱- مدار دومینوی HS

در ابتدای فاز ارزیابی، CLK_Delayed پایین است و CLK بالا است. ترانزیستور PMOS ، M3 روشن است و بنابراین ترانزیستور نگهدارنده را خاموش می کند. بعد از تاخیری مساوی تاخیر معکوس کننده ها، زمانی که CLK_Delayed بالاست، اگر گره خروجی بالا باشد، M2 در حالت خاموش باقی می ماند و P1 نیز خاموش می شود. در هر صورت، زمانی که خروجی بعد از تاخیری مساوی تاخیر معکوس کننده ها در فاز ارزیابی پایین می ماند، گره A به گره OUT وصل می شود. این امر باعث می شود که ترانزیستور PMOS، P1 (ترانزیستور نگهدارنده) برای نگه داشتن گره دینامیکی که به VDD وصل شده است، در ادامه فاز ارزیابی روشن شود. ترانزیستور نگهدارنده خاموش شده در ابتدای فاز ارزیابی به از بین بردن مبارزه بین نگهدارنده و شبکه ارزیابی NMOS کمک می کند. بنابراین، باعث توان مصرفی کمتر و اجرای بالاتر می شود. با این وجود، گره دینامیکی هنوز هم در ابتدای فاز ارزیابی شناور است، چون نگهدارنده خاموش می شود. بنابراین، اگر نویزی در ورودی یکی از ترانزیستورهای شبکه ارزیابی وجود داشته باشد، گره دینامیکی می تواند دشارژ شده و باعث ایجاد خروجی اشتباه شود.

ب- مدار دومینوی نگه دارنده شرطی (CKL):

مدار دومینوی دیگر، مدار CKL است [۷]. شماتیک مدار در شکل ۲ نمایش داده شده است.

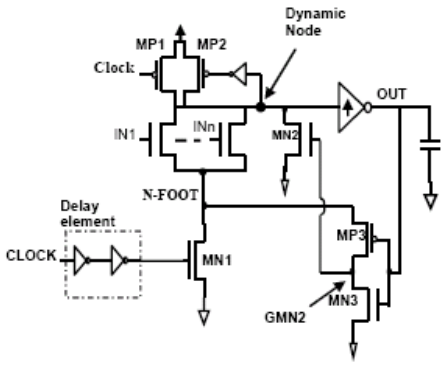


شکل ۲- شماتیک مدار CKL

مدار به صورت زیر کار می کند: در ابتدای فاز ارزیابی، نگه دارنده کوچک تر (P1) برای نگه داشتن حالت گره دینامیکی ، روشن است. بعد از تاخیر مربوط به معکوس کننده ها، اگر گره دینامیکی هنوز بالا باشد، خروجی گیت NAND برای روشن کردن P2 پایین می رود. این ترانزیستور نگه دارنده، جهت نگه داشتن حالت گره خروجی در ادامه فاز ارزیابی، بزرگ تر ساخته می شود. با این حال، اگر گره دینامیکی به زمین دشارژ شود، نگه دارنده شرطی خاموش می ماند. منطق CKL، چند مشکل دارد مانند محدودیت در کاهش تاخیر های معکوس کننده ها و گیت NAND برای بهبود امنیت نویز. امنیت نویز، با بزرگ تر کردن تاخیر معکوس کننده ها، بهبود می یابد، اما این تلفات را خیلی افزایش می یابد [۱۴-۱۲].

۳. مدا ر دومینوی پیشنهادی:

شماتیک مدار پیشنهادیمان در شکل ۳ نشان داده شده است. مدار پیشنهادی اثر پشته ای را (با اضافه کردن ترانزیستور پایه MN1) برای بهبود امنیت نویز به کار می گیرد و از ولتاژ حالت پایدار گره N_FOOT در ابتدای فارز ارزیابی برای کاهش نشتی شبکه ارزیابی استفاده می شود. حال اجازه دهید عملکرد مدار را در مدهای مختلف بررسی کنیم.



شکل ۳- شماتیک مدار پیشنهادی

الف- مد پیش شارژ:

وقتی ساعت پایین است، مدار در فاز پیش شارژ است. ترانزیستور MP1 روشن می شود و گره دینامیکی شروع به شارژ به VDD می کند. بعلاوه، ترانزیستور نگهدارنده PMOS (MP2) به کمک کردن به پیش شارژ کمک می کند. در ابتدای فاز ارزیابی، MN1 روشن است. بنابراین، آن گره N-FOOT را به زمین می کشد. ضمناً، گره GMN2، پایین است و MN2 در حالت خاموش است. بعد از تاخیر معکوس کننده ها (عنصر تاخیر)، MN1 خاموش می شود. در این حالت، ولتاژ N-FOOT به یک سطح ولتاژ میانی بالا می رود.

ترانزیستورهای ارزیابی به گونه ای اندازه می شوند که ولتاژ DC گره GMN2 از ولتاژ آستانه MN2 بیشتر نشود برای اینکه از امکان اتصال کوتاه در فاز پیش شارژ جلوگیری کند. ما ترانزیستور MN2 را بزرگ تر از بقیه ترانزیستورهای NMOS انتخاب کرده ایم.

ب- همه ورودی ها صفر در فاز ارزیابی:

در ابتدای فاز ارزیابی، ترانزیستور NMOS، MN1 خاموش است. بنابراین، گره N-FOOT شناور است. بنابراین، در این حالت، ولتاژش به یک مقدار DC می رسد. اگر این ولتاژ از $|V_{tn-MP3}|+V_{OUT}$ تجاوز کند، MP3 خاموش می شود. به عبارت دیگر:

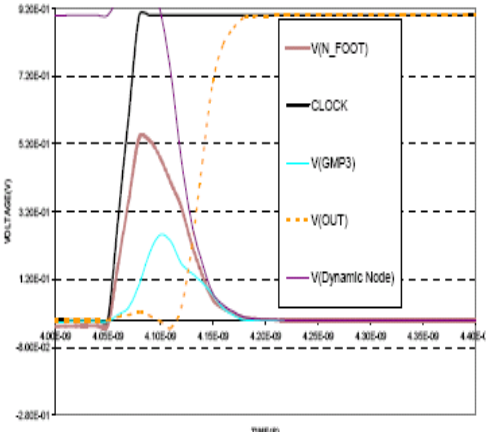
(۱)

$$\text{اگر } V_{N-FOOT} \geq V_{tp-MP3}+V_{OUT} \quad MP3:ON$$

در این حالت، گره GMN2 به $V_{N\text{-}FOOT}$ شارژ می شود. بنابراین:

$$V_{GMN2} \geq V_{tn-MN2} \qquad MN2:ON \qquad (۲)$$

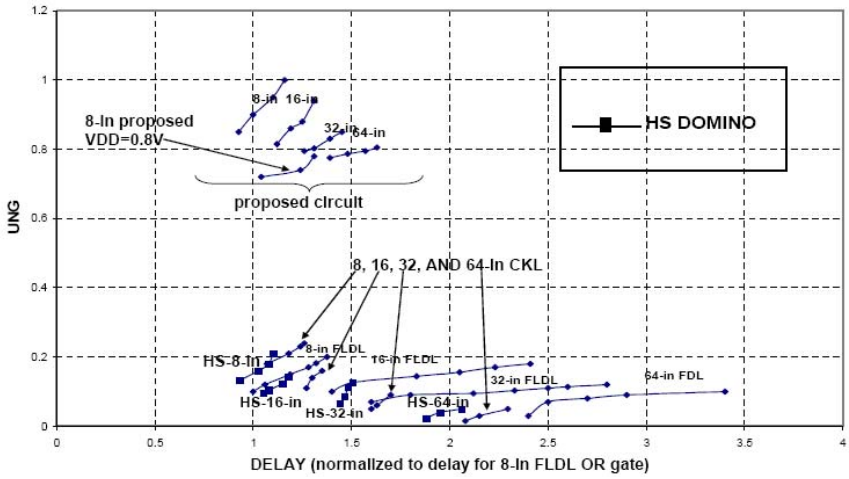
اگر شرط ۲ برآورده شود، (MN2 روشن شود)، یک ارزیابی اشتباه اتفاق می افتد. به هر حال، در طرح ما، قطعات MN1، MN2، MP3 و MP4 با توجه به ولتاژ GMN2 اندازه شده اند. اندازه کردن ترانزیستورها به گونه ای انجام شده است که شرط های ۱ و ۲ اتفاق نیفتند. بنابراین، ولتاژ DC گره N_FOOT به صورت یک منبع بایاس برای شبکه ارزیابی بدون تاثیر گذاشتن بر روی تابع مدار عمل می کند. این ولتاژ DC، نشتی شبکه ارزیابی را به طور اساسی کاهش می دهد و در نتیجه باعث مقاومت در مقابل نشتی بالایی می شود. مدار پیشنهادی به خاطر ولتاژ DC سورس ترانزیستورهای شبکه ارزیابی، امنیت در مقابل نویز ورودی بسیار بالایی داراست. چون این امر باعث افزایش ولتاژ آستانه ترانزیستورهای شبکه ارزیابی می شود. بنابراین، به خاطر اثر پشته ای شدن، جریان زیرآستانه این ترانزیستورها به شدت کاهش می یابد. همچنین در این مدار، با بیشتر کردن اندازه ترانزیستور MN2 ، بهبود در اجرا قابل حصول خواهد بود. این مساله در زیربخش زیر بیشتر توضیح داده می شود.



شکل ۴- شکل موج های مدار پیشنهادی

ج- یکی از ورودی های شبکه ارزیابی بالا باشد:

شکل موج های مدار در این حالت در شکل ۴ نشان داده شده اند. همان طور که مشاهده می شود، ولتاژ زیاد شده گره N_FOOT در ابتدای فاز ارزیابی، باعث روشن شدن MP3 شده است. بنابراین، گره GMN2 به ولتاژ گره N_FOOT شارژ می شود که از ولتاژ آستانه MN2 بالاتر می رود. در نتیجه، ترانزیستور NMOS، MN2 در شروع فاز ارزیابی روشن می شود (زمانی که ترانزیستور پایه MN1 خاموش است)، و این امر باعث اتصال گره دینامیکی به زمین می شود. بعد از تاخیری به اندازه یک عنصر تاخیر، گره N_FOOT با قدرت در ولتاژ صفر می ماند. بنابراین، ترانزیستور MP3 به حالت خاموش می رود. چون گره خروجی در حال حاضر بالاست، MN3 را روشن می کند و گره GMN2 را به زمین متصل کرده و این امر باعث



شکل ۵- مقایسه UNG بر حسب تاخیر (Delay) برای مدارهای مختلف

جدول۱- بهبود UNG مدار پیشنهادی در مقایسه با دیگر مدارها

Fan-in	UNG(FLDL)	UNG(FDL)	UNG(CKL)	UNG (مدار پیشنهادی)	بهبود در مقایسه با FLDL	بهبود در مقایسه با FDL	بهبود در مقایسه با CKL
8	۰/۱۸	۰/۲۱	۰/۲۴	۰/۸۶	۴/۷۸ برابر	۴/۰۹۵ برابر	۳/۵۸۳ برابر
16	۰/۱۲	۰/۱۵	۰/۱۶	۰/۸۳۴	۶/۹۵ برابر	۵/۵۶ برابر	۵/۲۱۲ برابر
32	۰/۰۷	۰/۱۳	۰/۱	۰/۸۰۲	۱۱/۴۵۷ برابر	۳/۷۷ برابر	۸/۰۲ برابر
64	۰/۰۳	۰/۱	۰/۰۷	۰/۷۸۹	۲۶/۳ برابر	۷/۸۹ برابر	۱۱/۲۷ برابر

جدول ۲- مقایسه توان، تاخیر و مساحت گیت OR ۱۶ ورودی برای مدارهای مختلف در مقایسه با مدار پیشنهادی (با UNG یکسان)

	توان	مساحت	تاخیر
CKL	۱	۱	۱
HS	۰/۷۲	۰/۸۷	۰/۹۳
پیشنهادی	۰/۶۹	۰/۸۸۷	۰/۸۹

خاموش شدن MN2 می شود. ادامه فاز ارزیابی (دشارژ گره دینامیکی) از طریق شبکه ارزیابی و ترانزیستور پایه، کامل می شود. در اینجا، ما درجه آزادی بیشتری برای افزایش سرعت و همچنین بیشتر کردن امنیت نویز داریم. به عنوان مثال، برای بهبود سرعت، بزرگ تر کردن ترانزیستورهای MP3، MN2، MN1 و ترانزیستورهای ارزیابی مفید است.

٤. نتایج شبیه سازی:

در این بخش، ما رفتار مدار پیشنهادی را بر اساس نتایج شبیه سازی مطالعه می کنیم. نتایج با استفاده از مدل پیش بینی شده ۷۰ نانومتر در دمای ۱۱۰ درجه سانتیگراد بدست آمده اند. معیار امنیت نویزی که در این کار استفاده شده است. بهره نویز واحد[5] (UNG) است [۸]. مقدار UNG برابر است با مقدار نویز DC در همه ورودی هاست که باعث به وجود آمدن همان نویز در خروجی می شود. بنابراین هر چه UNG بیشتر باشد، نشان دهنده امنیت نویز بیشتر است. شکل ۵، مقایسه های UNG-Delay را نشان می دهد. مقدار UNG مدار پیشنهادی ما با تغییر اندازه نگهدارنده از $0.3W_{EVAL}$ تا $1W_{EVAL}$ (W_{EVAL} پهنای ترانزیستورهای ارزیابی است) به دست آمده است. مدار پیشنهادی، UNG بسیار بالاتری نسبت به دیگر مدارات پیشنهادی و همچنین سرعت بالاتری را در مقایسه

[5] - Unity Noise Gain

با مدارهای موجود نشان می دهد. بنابراین، مدار پیشنهادی، اجرای بالاتر و UNG خیلی بالاتری نسبت به طرح های معمول دارد. جدول ۱ نشان می دهد که بهبود در UNG در مدار پیشنهادی ما در مقایسه با دیگر مدارها تا ۲۶ برابر نیز بزرگ تر است.

علاوه بر این، سرعت مدار پیشنهادی ما ۲۰٪ بهبود را در مقایسه با دیگر مدارها نشان می دهد. در مد ارزیابی، وقتی همه ورودی ها صفر باشند، مشاهده کردیم که جریان نشتی زیرآستانه به طور چشمگیری در مدار ما کاهش یافته است. در مدار پیشنهادی، با اندازه کردن دقیق ترانزیستورها، ما توانستیم که توان مصرفی کمتری را در مقایسه با مدارهای دیگر به دست آوریم. جدول ۲، توان مصرفی مدار پیشنهادیمان را در مقایسه با دیگر مدارهای دومینو نشان می دهد.

مدار پیشنهادی قطعات کوچکی را برای شبکه ارزیابی به کار گرفته است؛ در نتیجه مساحت مدار پیشنهادی مابرای شبکه ارزیابی کمتر از انواع معمول است. مقایسه مساحت، توان و تاخیر در جدول ۲ نشان داده شده است. به طور خلاصه، با توجه به نتایج شبیه سازی، مدار پیشنهادی بهبود UNG از ۳/۵۸ برابر تا ۲۶ برابر ، بهبود در اجرای ۱۰٪ تا ۳۰٪ و کاهش توان ۱۰٪ تا ۲۲٪ را در مقایسه با دیگر مدارهای مقاوم در مقابل نشتی، نشان می دهد.

۵. نتیجه گیری:

ما یک مدار منطق دومینوی سرعت بالا و مقاوم در مقابل نشتی با توان کم شده ارائه کردیم.ما در این مدار، یک امنیت در مقابل نویز عالی و سرغت بالاتر در مقایسه با مدارهای دومینوی موجود به دست آوردیم. مدار پیشنهادی از یک ترانزیستور نگهدارنده کوچک برای کاهش مصرف توان استفاده می کند. آن مقاومت در مقابل نشتی را با استفاده از یک ترانزیستور پایه بهبود می دهد.

منابع:

[1] K.Roy, et. al., "Leakage tolerant mechanisms and leakage reduction techniques in deep-submicron CMOS circuits," Proceeding of the IEEE, vol. 91, pp.305-327, Feb. 2003

[2] Berkeley Predictive Technology Model. Univ. Berkeley, Berkeley, CA. [online]. Available: http://www-devices.eecs.berkeley.edu/~ptm

[3] J.Kao, "Dual Threshold Voltage Domino Logic," in proc. Eur: Solid State Circuit Conf., 1999,pp.118-121.

[4] V.kursun, E. Friedman, "Node voltage dependent subthreshold leakage current characteristics of dynamic circuits," IEEE Computer and Society Systems, 2004.

[5] B. Chatterjee, et al, "Leakage control techniques for designing robust, low power wide-OR domino logic for sub-130nm CMOS technologies," IEEE Trans 2004 Computer and Society.

[6] S. O. Jung, K. W. Kim, and S. Kang, "Noise constrained power optimization for dual V_T domino logic,"ISCAS , pp.158-161, 2001.

[7] A.Alvandpour, et. al., "A sub-130-nm conditional-keeper technique," IEEE JSSC , vol. 37, pp. 633-638, May 2002.

[8] H.Mahmoodi-Meimand, Kauchic Roy, "A Leakage-Tolerant High Fan-in Dynamic circuit Design Style," IEEE Trans 2004

[9] F. Moradi, A. Peiravi, H. Mahmoodi-Meimand,"A new leakage tolerant for high fan-in domino gates," proceeding of International Conference on Microelectronics 2004.

[10] A. Chandrakasan, et al, "Design of high performance microprocessor circuit," IEEE Press, Piscataway, N.J., 2000

[11] M.W. Allam, M.H. Anis, and M.I. Elmasry, "High-speed dynamic logic style for scaled-down CMOS and MTCMOS technologies," ISLPED, 2000, Page(s): 155-160

[12] G.Yang, Z. Wang, and Sung-Mo Kang, "Low power and high performance circuit technique for high fan-in dynamic gates," 2004 IEEE Proc. Computer and Society.

[13] Seon-Ook Jung, et al, "Skew-tolerant High-speed (STHS) domino logic," ISCAS, Volume: 4, May 2001, Page(s):154-157

[14] V. De, et al, "Technology and design challenges for low power and high performance," ISLPED, pp. 163-168, 1999.