به نام خدا

آموزش VHDL

(مقدمه)

Very High Speed Integrated Circuit Hardware Description Language

مقدمه ای بر VHDL

زبان توصیف سخت افزار می تواند فعالیت عمده خود را روی وسایل منطقی قابل برنامه ریزی (Programming Logic Devices: PLDs) با پیچیده تر (CPLDs) و (Field Programmable Gate Arrays: FPGAs) داشته باشد.
چند گونه از این زبان وجود دارد مانند VHDL,Verilog,Abel که ما در این بخش آموزشی به VHDL خواهیم پرداخت.
نرم افزارهای بسیاری برای طراحی VHDL ساخته شده که یکی از آنها Active-VHDL از سوی شرکت ALDEC می باشد که یادگیری آن بسیار ساده است.
گر چه VHDL توسط وزارت دفاع آمریکا به منظور اهداف نظامی تولید شد ولی به سرعت گسترش یافت و با یک استاندارد خاص (the Institute of Electrical and Electronic Engineers: IEEE)مورد استفاده عموم قرار گرفت که IEEE به مرور از سال ۱۹۸۷ تا ۱۹۹۸ کامل شد.

زبان VHDL ابتدا به منظور شبیه سازی و مدل سازی و درک بیشتر مدارهای منطقی بوده است که توسط محققان عمل Synthesis یا سنتز به عنوان اتوماتیک کردن فرایند طراحی به آن اضافه شده است.

فاکتورهای قابل ملاحظه در ارزش VHDL برای یک طراح :

۱- محبوبیت جهانی زبان HDL (زبان توصیف سخت افزار)

زبان VHDL در شمال امریکا و همچنین اروپا توسط ۸۰ درصد مهندسین سیستم استفاده میشود که این رقم همچنان در حال رشد است.

۲- وجود انواع مختلف روشهای توصیف در این زبان

VHDL برای کاربر از نظر یکتا بودن نوع توصیف هیچ گونه محدودیتی ندارد در واقع یک برنامه را می توان هم به صورت رفتاری و هم به صورت متنی یعنی ذکر تمام گیتهای موجود به کار برد همچنین از VHDL می توان در سطوح مختلفی از پیچیدگی استفاده کرد از یک ترانزیستور کوچک گرفته تا یک سیستم کامل را می توان با آن طراحی کرد.

۳-وجود نرم افزارهای شبیه ساز VHDL

یکی از دلایل افزایش محبوبیت این زبان وجود تعدادی از نرم افزارهای شبیه ساز با قیمتی مناسب مانند Active VHDL است که می توانید با مراجعه به سایت www.aldec.com در مورد آن بیشتر اطلاعات کسب کنید.

۴- در اختیار داشتن سنتز کننده های VHDL

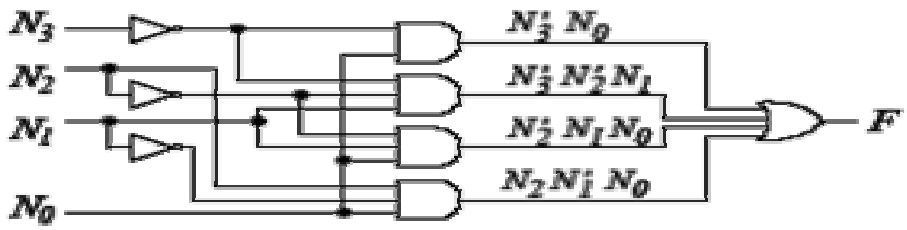
امروزه بسیاری از فروشندگان وسایل قابل برنامه ریزی (Programmable Device) و شرکاتهای تولید کننده نرم افزارهای EDA سنتز کننده های گوناگونی را ارائه داده اندمانند Active-CAD که یک سنتز کننده ی منطقی برای تمام مدارات مجتمع FPGA و CPLD می باشد.

۵-VHDL یک زبان مدل سازی جهانی

گر چه VHDL بیشتر ما را متوجه الکترونیک می کند در واقع به یک زبان مدل سازی جهانی شهرت یافته است و برای مدل سازی و شبیه سازی سیستمهای الکترو مکانیکی و هیدرولیکی و شیمیایی و ... مورد استفاده قرار می گیرد.

چند نکته مهم در مورد کد نویسی در VHDL

۱-زبان VHDL يك زبان حساس به حروف نيست يعني حروف بزرگ و كوچك را بدون تفاوت در نظر ميگيرد مثلا كلمات زير هيچ فرقي با هم ندارند:Architecture , ARCHITECTURE , architecture
۲-نقطه شروع ترجمه ي كدهاي شما در اول هر خط از دستورات مي باشد يا به عبارتي ديگر اجراي دستورات در VHDL مانند CPP ترتيبي نيست يعني دستورات يكباره و با هم اجرا مي شوند.
اکنون به برنامه زیر که به زبان VHDL نوشته شده و دیاگرام مقابل را توصیف می کند توجه کنید شما باید دیاگرام و کدهای VHDL را دقیقا دنبال کنید تا یک دید کلی در مورد روش و نمای آن بدست آورید:



```
Library IEEE;
Use IEEE.std_logic_1164.all;
Entity prime is
Port (N0, N1, N2, N3: in BIT ;
F: out BIT);
End prime;
Architecture prime1_arch of prime is
Signal and1, and2, and3, and4: bit;
Begin
and1<= (not n3) and n0;
and2<= (not n3) and (not n2) and n1;
and3<= (not n2) and n1 and n0;
and4<=  n2 and (not n1) and n0;
f   <= and1 or and2 or and3 or and4;
End prime1_arch;
```

پایان قسمت مقدمه

نگارنده : فرشید سفیدگران
کارشناسی کامپیوتر سخت افزار
خرداد ۱۳۸۲
Sefidgaran@gmail.com
http://Sefidgaran.blogfa.com